



1 / 1 OrderPatent

(19)



JAPANESE PATENT OFFICE

## PATENT ABSTRACTS OF JAPAN

(11) Publication number: 2003248451 A  
 (43) Date of publication of application: 05.09.2003

(51) Int. Cl. G09G 3/20  
 H04N 5/66

(21) Application number: 2002357188  
 (22) Date of filing: 09.12.2002  
 (30) Priority: 07.12.2001 US 2001 012968

(71) Applicant: INTEL CORP  
 (72) Inventor: PAWLowski STEPHEN S  
 KINI VITTAL

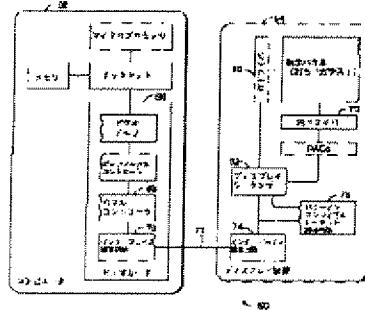
(54) CONFIGURABLE PANEL CONTROLLER AND  
 FLEXIBLE DISPLAY INTERFACE

## (57) Abstract:

PROBLEM TO BE SOLVED: To provide a custom-ordered panel controller and an interface or a bus of the panel controller with compatibility.

SOLUTION: A panel controller 68 is brought closer to the graphics controller and other configuration components of the video subsystem 66. The panel controller 68 is reconfigurable, such as by parameters received from the display panel, and is thus useable with multiple different species of display panel.

COPYRIGHT: (C)2003,JPO



1 / 1 OrderPatent

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2003-248451

(P2003-248451A)

(43) 公開日 平成15年9月15日 (2003.9.5)

(51) Int.Cl'

G 09 G 3/20

識別記号

6 1 2

F I

テ-マ-ト- (参考)

6 3 3

C 09 G 3/20

6 1 2 P 5 C 0 5 8

6 4 2

6 3 3 P 5 C 0 8 0

6 4 2 E

6 4 2 J

6 4 2 P

審査請求 有 請求項の数43 O.L (全 17 頁) 最終頁に続く

(21) 出願番号

特願2002-357188(P2002-357188)

(71) 出願人

インテル コーポレイション

アメリカ合衆国 95052 カリフォルニア

州 サンタ クララ ミッション カレッ

ジ ブールバード 2200

(22) 出願日 平成14年12月9日 (2002.12.9)

(72) 発明者 スティーヴン・エス・ボーロウスキ

アメリカ合衆国オレゴン州97007, ピーヴ

アートン, サウス・ウェスト・ワンハンド

レッドアンドフィフティ-エイ-アヴェ

ニュー 6624

(74) 代理人 100099623

弁理士 奥山 尚一 (外2名)

(31) 優先権主張番号 10/012968

(32) 優先日 平成13年12月7日 (2001.12.7)

(33) 優先権主張国 米国 (US)

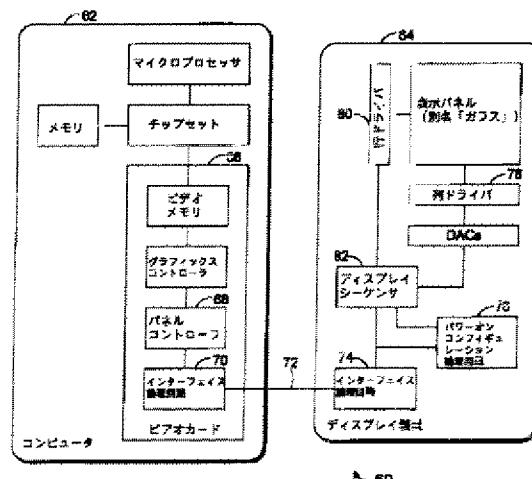
最終頁に続く

(54) 【発明の名称】 コンフィギュレーション可能なパネルコントローラ及び柔軟なディスプレイインターフェイス

(57) 【要約】

【課題】 特注されたパネルコントローラ及びパネルコントローラのインターフェイス又はバスに対する互換性を与える。

【解決手段】 パネルコントローラ68は、ビデオサブシステム66のグラフィックスコントローラ及び他のコンフィギュレーション要素の近くに配置される。このパネルコントローラ68は、表示パネルから受信したパラメータなどによって再コンフィギュレーションすることができ、またこのように複数の異なる種類の表示パネルと共に使用することができる。



▲ 60

【特許請求の範囲】

【請求項1】 表示パネルと共に使用するパネルコントローラであって、該パネルコントローラを前記表示パネルに接続するインターフェイス論理回路と、前記表示パネルに送信される出力画素データを発生するために、前記インターフェイス論理回路に接続された画素エンジンと、前記表示パネルから受信した少なくとも1つのパラメータに応答して前記画素エンジンの少なくとも1つの動作特性をコンフィギュレーションするように、前記インターフェイス論理回路と前記画素エンジンとに接続された出力コンフィギュレータとを含んでなるパネルコントローラ。

【請求項2】 前記インターフェイス論理回路が、少なくともいくつかの出力画素データをも前記表示パネルに搬送する通信経路を介して、前記表示パネルから前記パラメータをさらに受信するものである請求項1に記載のパネルコントローラ。

【請求項3】 受信した間接パラメータをパラメータ値へと変換するロックアップテーブルをさらに含む請求項1に記載のパネルコントローラ。

【請求項4】 受信したパラメータを記憶するためのパラメータ記憶装置をさらに含む請求項1に記載のパネルコントローラ。

【請求項5】 入力パラメータを検出するコンフィギュレーションサイクル装置をさらに含む請求項1に記載のパネルコントローラ。

【請求項6】 前記パネルコントローラとグラフィックスコントローラとを備えるビデオカードをさらに含む請求項1に記載のパネルコントローラ。

【請求項7】 グラフィックスコントローラと、表示パネルと、前記グラフィックスコントローラからグラフィックスデータを受信するように接続され、画素データを前記表示パネルに送るように接続され、少なくとも1つのコンフィギュレーションパラメータを前記表示パネルから受信するように接続されたコンフィギュレーション可能なパネルコントローラとを含んでなる装置。

【請求項8】 前記コンフィギュレーション可能なパネルコントローラが、少なくとも1つのコンフィギュレーションパラメータに応答して、前記コンフィギュレーション可能なパネルコントローラの少なくとも1つの動作特性を修正するものである請求項7に記載の装置。

【請求項9】 前記コンフィギュレーション可能なパネルコントローラが、分解能と、データバスの幅と、ディスプレイ技術と、グレースケール対応と、変調指数と、走査の種類と、クロック周波数と、走査速度と、劣化と、カラー階調とを含むグループから選択された少なくとも1つのパラメータに応答するものである請求項8に

記載の装置。

【請求項10】 前記コンフィギュレーション可能なパネルコントローラが、コンフィギュレーションパラメータに応答して、前記コンフィギュレーション可能なパネルコントローラの出力分解能を調整するものである請求項8に記載の装置。

【請求項11】 前記コンフィギュレーション可能なパネルコントローラが、3つ以上の画素データ出力チャネルを含み、コンフィギュレーションパラメータに応答して前記画素データ出力チャネルの部分集合を選択して画素データを前記表示パネルに送信するものである請求項8に記載の装置。

【請求項12】 前記画素データの部分集合が2つの画素データ出力チャネルからなる請求項11に記載の装置。

【請求項13】 パネルコントローラが画素データを表示パネルに送る方法であって、該パネルコントローラが該表示パネルからコンフィギュレーションパラメータを受信するステップと、

該パネルコントローラが該コンフィギュレーションパラメータに応じて該パネルコントローラの動作特性をコンフィギュレーションするステップとを含んでなる方法。

【請求項14】 前記動作特性をコンフィギュレーションするステップが、前記画素データを変更することを含む請求項13に記載の方法。

【請求項15】 前記動作特性をコンフィギュレーションするステップが、前記パネルコントローラ内のコントロール論理を調整して、前記表示パネルの分解能に適合するよう出力画像を伸縮することを含む請求項13に記載の方法。

【請求項16】 前記動作特性をコンフィギュレーションするステップが、画素データ出力チャネルの部分集合を選択して、前記画素データを前記表示パネルに送ることを含む請求項13に記載の方法。

【請求項17】 前記動作特性をコンフィギュレーションするステップが、前記表示パネルのディスプレイ技術の種類に従って、前記パネルコントローラの動作を適合させることを含む請求項13に記載の方法。

【請求項18】 前記動作特性をコンフィギュレーションするステップが、前記パネルコントローラによって出力される多数のグレースケールレベルを設定することを含む請求項13に記載の方法。

【請求項19】 前記動作特性をコンフィギュレーションするステップが、画素データを前記表示パネルにポンピングするための変調指数を前記表示パネルの複数のクロック周波数で選択するステップを含む請求項13に記載の方法。

【請求項20】 前記複数が2、4、8、16、及び32のうちの1つであり、前記ポンピングが段階的なポンピング装置において画素データのチャネル当たり複数の

ピットを送ることを含む請求項19に記載の方法。

【請求項21】 前記動作特性をコンフィギュレーションするステップが、前記パラメータによって決定されたように、プログレッシブ走査線およびインターレース走査線の1つを出力することを含む請求項13に記載の方法。

【請求項22】 前記動作特性をコンフィギュレーションするステップが、クロック周波数を選択することを含む請求項13に記載の方法。

【請求項23】 前記動作特性をコンフィギュレーションするステップが、走査速度を選択することを含む請求項13に記載の方法。

【請求項24】 前記動作特性をコンフィギュレーションするステップが、画素データの出力を調整して前記表示パネルの劣化を補償することを含む請求項13に記載の方法。

【請求項25】 前記調整するステップが、画素データの輝度レベルを変更することを含む請求項24に記載の方法。

【請求項26】 前記動作特性をコンフィギュレーションするステップが、色空間を選択するステップを含む請求項13に記載の方法。

【請求項27】 前記動作特性をコンフィギュレーションするステップが、カラー階調を選択するステップを含む請求項13に記載の方法。

【請求項28】 表示パネルからパネルコントローラにコンフィギュレーションパラメータを送るステップと、前記コンフィギュレーションパラメータに従って、前記パネルコントローラを再コンフィギュレーションするステップと、

該再コンフィギュレーションするステップがない場合は異なる方法で、前記パネルコントローラから前記表示パネルに画素データを送るステップとを含んでなる方法。

【請求項29】 前記コンフィギュレーションパラメータを送るステップが、2つ以上のコンフィギュレーションパラメータを送ることを含み、前記再コンフィギュレーションするステップが、前記2以上のコンフィギュレーションパラメータにさらに従い、

前記画素データを送るステップが、前記2以上のコンフィギュレーションパラメータに従い、2以上の点において異なる方法である請求項28に記載の方法。

【請求項30】 前記2以上のコンフィギュレーションパラメータが、分解能パラメータ及びデータ幅パラメータを含み、

前記画素データを送るステップが、前記分解能パラメータにより示された分解能を有する画素データを送ることを含み、前記パネルコントローラの利用可能な画素データ出力の部分集合を介して前記画素データを送るもので

ある請求項29に記載の方法。

【請求項31】 前記パネルコントローラから前記表示パネルにオートゼロ信号を送るステップと、該オートゼロ信号に応答して、前記表示パネルの画素内に蓄積された電荷を放出するステップとをさらに含む請求項28に記載の方法。

【請求項32】 1つのビデオフレームに画素データを送るステップ中に、第1の色に対して全ての画素データを送るステップと、その後に第2の色に対して全ての画素データを送るステップとをさらに含む請求項28に記載の方法。

【請求項33】 マイクロプロセッサと、該マイクロプロセッサに接続されたグラフィックスコントローラと、表示パネルと、前記グラフィックスコントローラからグラフィックスデータを受信するように接続され、前記表示パネルに画素データを送り、前記表示パネルからコンフィギュレーションパラメータを受信するように接続されたパネルコントローラとを含んでなる電子データ処理装置。

【請求項34】 前記パネルコントローラが、前記コンフィギュレーションパラメータを受信するように、少なくとも2つの画素データチャネルを介して前記表示パネルに双方向に接続される請求項33に記載の電子データ処理装置。

【請求項35】 前記表示パネルのスパースリフレッシュを実行する手段を前記パネルコントローラの中にさらに含む請求項33に記載の電子データ処理装置。

【請求項36】 前記電子データ処理装置がテレビを含む請求項33に記載の電子データ処理装置。

【請求項37】 画素データを表示パネルに送るパネルコントローラを有する電池駆動の装置の動作方法であって、電池の電荷が所定のしきい値以下であることを検出するステップと、

該検出に応答して、変更した画素データを前記表示パネルに送るように前記パネルコントローラを再コンフィギュレーションするステップとを含んでなる方法。

【請求項38】 前記再コンフィギュレーションするステップが、前記表示パネルに輝度を低下させる画素データを送るように、前記パネルコントローラの動作を修正することを含む請求項37に記載の方法。

【請求項39】 前記再コンフィギュレーションするステップが、前記表示パネルに利用可能な色の部分集合を送るように、前記パネルコントローラの動作を修正することを含む請求項37に記載の方法。

【請求項40】 前記利用可能な色が赤と緑と青との画素データを含み、前記部分集合が緑の画素データを含む請求項39に記載の方法。

【請求項41】 利用可能な色の第1の部分集合を選択

して、該第1の部分集合を第1の時間の間に前記表示パネルに送るステップと、

利用可能な色の第2の部分集合を選択して、該第2の部分集合を第2の時間の間に前記表示パネルに送るステップとをさらに含む請求項39に記載の方法。

【請求項42】 前記第1の部分集合が緑を含み、前記第2の部分集合が赤及び青を含み、前記方法が、前記第1の部分集合と前記第2の部分集合との間の時間の経過にわたって、前後に交互に切り替わるステップをさらに含む請求項41に記載の方法。

【請求項43】 前記前後に交互に切り替わるステップが、毎秒10回以上繰り返される請求項42に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、一般に、ビデオディスプレイ用コントローラに関し、より詳細には、表示パネルから受け取ったパラメータに応答して、表示パネルと共に動作するようにそれ自体を動的にコンフィギュレーションするパネルコントローラに関する。

【0002】

【従来の技術】 図1は、従来技術としてよく知られた典型的なディスプレイコントローラシステム10を示す。パーソナルコンピュータ及びそのディスプレイは、従来技術でよく知られた一般的原理の典型的なものとして選択される。パーソナルコンピュータは、陰極線管(CRT)ディスプレイ又はフラットパネルディスプレイ等のディスプレイ装置14に接続されたコンピュータ12を含む。このコンピュータは、プロセッサバス18によってチップセット20に接続されたマイクロプロセッサ16を含む。このチップセットは、各種のコンピュータのサブシステムを支援する。例えば、チップセットはメモリバス22を介してメモリ24に接続される。メモリ24は、一般には、1種類以上のダイナミックラングムアクセスメモリ(DRAM)である。チップセットは、周辺コンポーネント相互接続(PC1)バス又は加速グラフィックスポート(AGP)バス等のグラフィックスバス26を介して、ビデオカード28にも接続される。

【0003】 このビデオカードは、画像及びテクスチャ等をディスプレイに表示するデータを記憶するビデオメモリ30を含む。グラフィックスコントローラ34は、これらのデータ上で各種の動作を実行し、結果として生ずる画素データをインターフェイス論理回路36を介して出力する。このインターフェイス論理回路は、一般的には、VGAやLVDSやDVI等の任意のアナログ又はデジタルのディスプレイインターフェイスであり、ビデオリンク38を介してビデオカードをディスプレイ装置に接続する。ディスプレイ装置内の対応するインターフェイス論理回路40は一般に赤-緑-青(RGB)形式の画素データを受け取り、そしてこの画素データがパネルコントローラ42に送られる。

【0004】 パネルコントローラは、パネルコントローラバス44を介して一集合のディジタルアナログ変換器(以下、DACとよぶ)46に接続される。DACはアナログバス48を通って行列ドライバに接続され、この行列ドライバが実際の表示パネル50を駆動する。パネルは、実際にガラスで造られるか又は何か他の材料で造られるかに関わらず、「ガラス(glass)」と呼ばれる場合がある。ディスプレイ装置のパネルコントローラ、DAC、及び/又は、他のコンフィギュレーション要素は、電圧制御モジュール(以下、VRMとよぶ)52によって給電又はコントロールされる。

【0005】

【発明が解決しようとする課題】 表示パネルには、様々な製造業者により各種の寸法や分解能やカラー階調(color depth)等があり、各種のパネルコントローラインターフェイス44を使用する。現在では、パネルコントローラは、表示パネルの1つの特別なモデルと動作するように特注で設計する必要がある。これにより結果として、パネルコントローラが高価になり、在庫保管単位(stock-keeping unit: SKU)数が限りなく増加する。このことは、再度、ディスプレイ装置の製造業者の費用を上昇させることになる。産業界は、ビデオリンク38のプロトコルとコネクタと電気特性とを少なからず標準化してきたが、特注のパネルコントローラ及びパネルコントローラのインターフェイス又はバスの問題には現在まで取り組んでいない。

【0006】

【課題を解決するための手段】 第1に、本発明は、上記の課題を解決するパネルコントローラを提供する。具体的には、表示パネルと共に使用するパネルコントローラであって、該パネルコントローラを前記表示パネルに接続するインターフェイス論理回路と、前記表示パネルに送信される出力画素データを発生するために、前記インターフェイス論理回路に接続された画素エンジンと、前記表示パネルから受信した少なくとも1つのパラメータに応答して前記画素エンジンの少なくとも1つの動作特性をコンフィギュレーションするように、前記インターフェイス論理回路と前記画素エンジンとに接続された出力コンフィギュレータとを含んでなるパネルコントローラを提供する。ここで、少なくともいくつかの出力画素データも前記表示パネルに搬送する通信経路を介して、前記インターフェイス論理回路が前記表示パネルから前記パラメータをさらに受信する態様や、受信した間接パラメータをパラメータ値へと変換するルックアップテーブルをさらに含む態様や、受信したパラメータを記憶するためのパラメータ記憶装置をさらに含む態様や、入力パラメータを検出するコンフィギュレーションサイクル装置をさらに含む態様や、前記パネルコントローラとグラフィックスコントローラとを備えるビデオカードをさ

らに含む態様であることが好ましい。

【0007】第2に、本発明は、上記の課題を解決する装置も提供する。具体的には、グラフィックスコントローラと、表示パネルと、前記グラフィックスコントローラからグラフィックスデータを受信するように接続され、画素データを前記表示パネルに送るように接続され、少なくとも1つのコンフィギュレーションパラメータを前記表示パネルから受信するように接続されたコンフィギュレーション可能なパネルコントローラとを含んでなる装置を提供する。ここで、前記コンフィギュレーション可能なパネルコントローラが、少なくとも1つのコンフィギュレーション可能なパネルコントローラとを応答して、前記コンフィギュレーション可能なパネルコントローラの少なくとも1つの動作特性を応答中に修正するものである態様や、前記コンフィギュレーション可能なパネルコントローラが、分解能と、データバスの幅と、ディスプレイ技術と、グレースケール対応と、変調指数と、走査の種類と、クロック周波数と、走査速度と、劣化と、カラー階調とを含むグループから選択された少なくとも1つのパラメータに応答するものである態様や、前記コンフィギュレーション可能なパネルコントローラが、コンフィギュレーションパラメータに応答して、前記コンフィギュレーション可能なパネルコントローラの出力分解能を調整するものである態様や、前記コンフィギュレーション可能なパネルコントローラが、3つ以上の画素データ出力チャネルを含み、コンフィギュレーションパラメータに応答して前記画素データ出力チャネルの部分集合を選択して画素データを前記表示パネルに送信するものである態様であることが好ましい。さらに、前記画素データの部分集合が2つの画素データ出力チャネルからなる態様であることがより好ましい。

【0008】第3に、本発明は、上記の課題を解決する方法も提供する。具体的には、パネルコントローラが画素データを表示パネルに送る方法であって、前記表示パネルからコンフィギュレーションパラメータを受信するステップと、前記コンフィギュレーションパラメータに応じて前記パネルコントローラの動作特性をコンフィギュレーションするステップとを含んでなる方法を提供する。ここで、前記動作特性をコンフィギュレーションするステップが、前記画素データを変更することを含む態様や、前記動作特性をコンフィギュレーションするステップが、前記パネルコントローラ内のコントロール論理を調整して、前記表示パネルの分解能に適合するよう出力画像を伸縮することを含む態様や、前記動作特性をコンフィギュレーションするステップが、画素データ出力チャネルの部分集合を選択して、前記画素データを前記表示パネルに送ることを含む態様や、前記動作特性をコンフィギュレーションするステップが、前記表示パネルのディスプレイ技術の種類に従って、前記パネルコントローラの動作を適合させることを含む態様や、前記動作

特性をコンフィギュレーションするステップが、前記パネルコントローラによって出力される多数のグレースケールレベルを設定することを含む態様や、前記動作特性をコンフィギュレーションするステップが、画素データを前記表示パネルにポンピングするための変調指数を前記表示パネルの複数のクロック周波数で選択することを含む態様であることが好ましい。さらに前記複数が2、4、8、16、及び32のうちの1つであり、前記ポンピングが段階的なポンピング装置において画素データのチャネル当たり複数のビットを送ることを含む態様がより好ましい。また、前記動作特性をコンフィギュレーションするステップが、前記パラメータによって決定されたように、プログレッシブ走査線およびインターレース走査線の1つを出力することを含む態様や、前記動作特性をコンフィギュレーションするステップが、クロック周波数を選択することを含む態様や、前記動作特性をコンフィギュレーションするステップが、走査速度を選択することを含む態様や、前記動作特性をコンフィギュレーションするステップが、画素データの出力を調整して前記表示パネルの劣化を補償することを含む態様であることが好ましい。ここで、前記調整するステップが、画素データの輝度レベルを変更することを含む態様であることがより好ましい。さらに、前記動作特性をコンフィギュレーションするステップが、色空間を選択するステップを含む態様や、前記動作特性をコンフィギュレーションするステップが、カラー階調を選択することを含む態様であることが好ましい。

【0009】第4に、本発明は、上記の課題を解決する別の方針も提供する。具体的には、表示パネルからパネルコントローラにコンフィギュレーションパラメータを送るステップと、前記コンフィギュレーションパラメータに従って、前記パネルコントローラを再コンフィギュレーションするステップと、該再コンフィギュレーションするステップがない場合とは異なる方法で、前記パネルコントローラから前記表示パネルに画素データを送るステップとを含んでなる方法を提供する。ここで、前記コンフィギュレーションパラメータを送るステップが、2つ以上のコンフィギュレーションパラメータを送ることを含み、前記再コンフィギュレーションするステップが、前記2以上のコンフィギュレーションパラメータに従い、前記画素データを送るステップが、前記2以上のコンフィギュレーションパラメータに従い、2以上の点において異なる方法である態様や、前記2以上のコンフィギュレーションパラメータが、分解能パラメータ及びデータ幅パラメータを含み、前記画素データを送るステップが、前記分解能パラメータにより示された分解能を有する画素データを送ることを含み、前記パネルコントローラの利用可能な画素データ出力の部分集合を介して前記画素データを送るものである態様や、前記パネルコントローラから前記表示パネルにオートゼロ信号

を送るステップと、該オートゼロ信号に応答して、前記表示パネルの画素内に蓄積された電荷を放出するステップとをさらに含む態様や、1つのビデオフレームに画素データを送るステップ中に、第1の色に対して全ての画素データを送るステップと、その後に第2の色に対して全ての画素データを送るステップとをさらに含む態様であることが好ましい。

【0010】第5に、本発明は、上記の課題を解決する電子データ処理装置も提供する。具体的には、マイクロプロセッサと、該マイクロプロセッサに接続されたグラフィックスコントローラと、表示パネルと、前記グラフィックスコントローラからグラフィックスデータを受信するように接続され、前記表示パネルに画素データを送り、前記表示パネルからコンフィギュレーションパラメータを受信するように接続されたパネルコントローラとを含んでなる電子データ処理装置を提供する。ここで、前記パネルコントローラが、前記コンフィギュレーションパラメータを受信するように、少なくとも2つの画素データチャネルを介して前記表示パネルに双方に接続される態様や、前記表示パネルのスパースリフレッシュを実行する手段を前記パネルコントローラの中にさらに含む態様や、前記電子データ処理装置がテレビを含む態様であることが好ましい。

【0011】第6に、本発明は、上記の課題を解決するパネルコントローラを有する電池駆動の装置の動作方法を提供する。具体的には、画素データを表示パネルに送るパネルコントローラを有する電池駆動の装置の動作方法であって、電池の電荷が所定のしきい値以下であることを検出するステップと、該検出に応答して、変更した画素データを前記表示パネルに送るように前記パネルコントローラを再コンフィギュレーションするステップとを含んでなる方法を提供する。ここで、前記再コンフィギュレーションするステップが、前記表示パネルに輝度を低下させる画素データを送るように、前記パネルコントローラの動作を修正することを含む態様や、前記再コンフィギュレーションするステップが、前記表示パネルに利用可能な色の部分集合を送るように、前記パネルコントローラの動作を修正することを含む態様や、前記利用可能な色が赤と緑と青との画素データを含み、前記部分集合が緑の画素データを含む態様や、利用可能な色の第1の部分集合を選択して、該第1の部分集合を第1の時間の間に前記表示パネルに送るステップと、利用可能な色の第2の部分集合を選択して、該第2の部分集合を第2の時間の間に前記表示パネルに送るステップとをさらに含む態様や、前記第1の部分集合が緑を含み、前記第2の部分集合が赤及び青を含み、前記方法が、前記第1の部分集合と前記第2の部分集合との間の時間の経過にわたって、前後に交互に切り替わるステップをさらに含む態様や、前記前後に交互に切り替わるステップが、毎秒10回以上繰り返される態様であることが好まし

い。

【0012】以下に記述された詳細な説明から、または本発明の実施態様の添付図面から、本発明はより十分に理解されるであろう。しかしながら、本発明の実施態様は、単に説明及び理解するためのものであり、説明した特定の実施態様に限定すべきものではない。

### 【0013】

【発明の実施の形態】図2は、本発明を採用するシステム60を示す。再度、説明を容易にするために、コンピュータ62及びディスプレイ装置64を参照してシステムを説明するが、本発明はこの例示的な事例に限定されるものではない。本発明は、パネルコントローラが表示パネルと通信する任意の電子的なシステム又は光学的なシステムにおいても実施することができる。いくつかの実施態様では、テレビ、パーソナルコンピュータ、携帯電話、又は任意の他の装置としてこのシステムをコンフィギュレーションすることができる。

【0014】図示したシステムは、本発明のコンフィギュレーション可能なパネルコントローラ68を内蔵する改良されたビデオカード66を有する。このビデオカードのインターフェイス論理回路70は、通信リンク72を介して、シリアル又はパラレルの配線や、光ファイバーのケーブル接続や、同軸ケーブルや、無線通信又は他の無線リンク等の任意の適当な搬送媒体を用い、任意の適当な電気的又は光学的なプロトコルに基づいて、ディスプレイ装置のインターフェイス論理回路74と通信する。読者は、リンク72がいくつかの点で(図1の)リンク38よりも(図1の)リンク44の方により厳密に一致することに注意されたい。

【0015】ディスプレイ装置は、図1よりも図2にやや詳細に示されている。行ドライバ80及び列ドライバ78は、ディスプレイシーケンサ82のコントロールのもとで、画素データを表示パネルに駆動する。パワーオンコンフィギュレーション論理回路76は、例えば、表示装置の各種の機能のパワーオン自己診断(power-on self testing:以下、POSTとよぶ)を行うことができる。POST論理回路は、リセット、再コンフィギュレーション命令、起動信号、又は他のそのようなトリガ事象が入ると、コンフィギュレーションパラメータをパネルコントローラに送ることもできる。コンフィギュレーションパラメータの詳細は後に説明する。

【0016】図2に示すように、システムは(図1のラインA-A又はB-Bにおいて)再区分されて、パネルコントローラをグラフィックスコントローラのより近くに移動する。このことは、ラップトップコンピュータや、携帯電話や、パームコンピュータ等の小型化システムにおいて特に有益である。グラフィックスコントローラから表示パネルを遠く離して配置しないことは、先驗的に(a priori)よく知られている。いくつかの従来技術のシステムでは、ライン損失を最小にしてノイズ効果

を減少させてパラレルのクロストークを避けるために、高圧のシリアルケーブル（図1の38）を用いて画素データを送ることが有益であると考えられていた。しかしながら、特に（限定はしないが）、表示パネルがビデオエンジンから短い距離にある場合には、パラレルで低電圧のリンク72を都合よく使用することができる。

【0017】図3は、パネルコントローラと表示パネルとを接続するリンク72の1つの具体例としての実施態様を示す。読者は、他の実施態様も極めて可能であり、本発明の範囲に入ることは理解されよう。以下の説明の中で、「ワイヤ（wire）」という省略表現は、単一の通信経路又はチャネルを示すために使用されるものであり、例えば、銅線の1つの素線（strand）に限定される誤解してはならない。図示の実施例では、同期クロック信号CLKと、リセット信号RESET#と、垂直同期信号VSYNC#とは1本のワイヤを介して送られ、一对の水平同期信号Hsync#[1:0]は2本のワイヤを介して送られ、3つのカラー表示信号COLOR#[2:0]は3本のワイヤを介して提供される。

【0018】画素データを伝える多数のデータ信号DATA#もある。各種の実施態様において、このデータバスには多様な幅がある。理論的な最小幅又は最大幅とい

うものはない。図示の実施態様では、コンフィギュレーションラインとしても機能する、DATA#[1:0]とDATA#[X:2]として示される残りのデータワイヤとの2つのデータ信号がある。コンフィギュレーションラインの数は、正確に2本に限定されない。

【0019】図4は、1つの実施態様がパワーオンコンフィギュレーションサイクルにある間での1つの具体例としてのそのような信号の集合のタイミング図を示しており、この場合には、表示パネルがコンフィギュレーションパラメータをディスプレイコントローラに送り、特にその表示パネルと共に動作するように一般的なディスプレイコントローラをコンフィギュレーションする。

【0020】そのようなコンフィギュレーションが表示パネルに対して望ましい多くの特性がある。本発明は各種のコンフィギュレーション可能なパネルコントローラ及び表示パネルの中で実行することができ、また様々なパラメータの集合が場合によって異なることは、熟練した読者には容易に理解されよう。そのようなパラメータの実施例は、以下の内容を含むが、これに限定されるものではない。

【0021】

【表1】

表1-実施例のパラメータ	
分解能	表示パネル内の列及び行（走査線とも呼ばれる）によって指定された画素数であり、一括に一对の数として表される
データバス幅	DATA#ワイヤの数
表示技術	陰極線管（CRT）、液晶ディスプレイ（LCD）、有機発光ダイオード（OLED）など
グレースケール対応	単色モードにおいてパネルが対応するコントラストのレベル数
変調指數	ビット/ピクセル/クロックの数
走査の種類	プログレッシブ又はインターレース
色空間	RGB、YUVなど
最小クロック周波数	ディスプレイが容認できる最も低いクロック速度
最大クロック周波数	ディスプレイが容認できる最も高いクロック速度
好みのクロック	ディスプレイの好みのクロック速度
走査速度	フレーム速度又はリフレッシュ周波数
劣化	ディスプレイのエーティングを補正するために必要な輝度又は色調整
色の深み	パネルのDACが対応する色のビット数

【0022】パネルコントローラが多種類のパネルと通信できるためには、最大数の可能性があるパネルの中に存在するワイヤを介して、コンフィギュレーション情報をパネルコントローラに転送することが望ましい。1つのモードでは、図4に示すように、画素データワイヤの下位2ビットDATA#[1:0]を使用して、コンフィギュレーションパラメータをパネルコントローラに送る。読者は図2を引き続き参照することも望むであろう。

【0023】ある任意の時間に、パネルコントローラがRESET#信号をアクティブ（ロー）にしてから非アクティブにすると、（説明を簡単にするために、一般

に、1つのサイクル0として図4の中で示されるクロックにおいて）結果としてパワーオンコンフィギュレーション論理回路がそのPOSTを実行する。CLK信号に同期してVSYNC#がアクティブになりHsync#[1]が非アクティブになると、装置はコンフィギュレーションサイクルに入る。本発明の本実施態様では、Hsync#[0]は無視する。

【0024】VSYNC#がアクティブになり、Hsync#[1]が非アクティブになった後の所定の数又は任意の数のクロックサイクルのいずれかにより、表示パネルのパワーオンコントロール論理回路（又は多の適当な手段）は、1つ以上のコンフィギュレーションパラメ

ータをDATA# [1:0]等の所定のコンフィギュレーション経路を介して、パネルコントローラに送り戻す。いくつかの実施態様では、分解能パラメータの転送サイクルの間に、数字640及び数字480等の実際のパラメータ値が送られる。別の実施態様では、ルックアップテーブルの指標又は状態マシンの状態番号等の所定の指示符号を送ることができる。他のパラメータの送信方式も同様に本発明の範囲内にある。いくつかの実施態様では、ディスプレイからコントローラへのパラメータの送信に加えて、又はその代わりに、コントローラからディスプレイにパラメータを送ることができる。

【0025】1つの実施態様では、分解能は4クロックサイクルで送られ、データバス幅（以下、「Width」とよぶ）は4クロックサイクルで送られ、ディスプレイ技術（以下、「Disp.」とよぶ）は2クロックサイクルで送られ、グレースケール対応（以下、「GS」とよぶ）は2クロックサイクルで送られ、変調指標（以下、「MI」とよぶ）は2クロックサイクルで送られ、また走査の種類（以下、「PI」とよぶ）は1クロックサイクルで送られる。もちろん、他の組のパラメータと他の配列と他の数のクロックサイクルとは、本発明の教示の中に含まれる。

【0026】図5及び図6は、変調指標機能に関してより詳細に説明する。Intel（登録商標）のPentium（登録商標）Proや、Pentium IIや、Pentium IIIや、Pentium 4や、Itanium（登録商標）プロセッサ等の二重ポンピングバス及び四重ポンピングバスはよく知られている。Nポンピングは、一般に多値レベル信号（multi-level signaling）ではなく位相同期を用いて、N組のデータをクロックサイクル毎に転送することを意味する。

【0027】図示のように、CLKクロック信号の最初の全サイクル（90から92まで）の間に、（DATA#信号ボックス0～7内の）8つのデータビットが、データワイヤ毎に転送される。1つのモードでは、これは4つの別個のストローブ信号（strobe signal）STROBE04とSTROBE15とSTROBE26とSTROBE37との立上りエッジ及び立下りエッジに応答して、データをラッチすることによって実現される。データラインはラッチ（BANK0）に接続される、すなわち、説明を容易にするために、データラインDATA# [31:0]は、あたかも第1のラッチ（ラッチ0）のみに接続しているように描写されているが、読者にはデータラインが他のラッチにも同様に接続されていることが理解されよう。バンク内のラッチの数は、クロックサイクル毎の「ポンプ（pump）」数に一致する、すなわち、与えられた実施例は「8ポンプ」式であるため、8つのラッチ（BANK0内の0から7）を有する。ストローブ信号は、それぞれの個々のラッチに接続される。立上りエッジ及び立下りエッジの両方がラッチ

トリガとして使用されるモードでは、ストローブ信号の数はラッチの数の半分であり、各ストローブ信号は2つのラッチに接続される。2つのラッチの1つは、反転入力を有する。ストローブのデューティサイクルを等しくするために、（ラッチ0及び4又はラッチ2及び6のように）その2つのラッチがバンク内のラッチの組の中で等間隔であることが望ましい。

【0028】パネルコントローラは、クロック信号よりも高い周波数でデータワイヤを駆動し、ストローブ信号はこの周波数の増加に適合するように位相同期される。1つのモードでは、ラッチ信号は、パネルコントローラとパネルとの間のワイヤを通って送信されないが、位相固定ループ又は他の手段によってディスプレイシーケンサ内等のパネル自体の中で発生される。

【0029】システム設計者がデータバスをNポンプすることを望む1つの理由は、場合によっては、パネルの技術によりパネルの各種の論理装置を、パネルのデータ転送速度についての要求事項に十分に適合する周波数で直接にクロック駆動することができないことがある。いくつかのパネルでは、論理回路を直接にガラス上に作ることが望ましい。これにより、結果として、例えば8MHzの最大論理周波数が可能になる。この問題についての別の解決策は、単純にデータワイヤの数を増加することであるが、この方法はディスプレイ及びディスプレイコントローラの費用及び複雑性を増加することになる。熟練した技術者は、この特許の教示の中で、アプリケーションの要求に直ぐに適合するために、Nポンピングに対してワイヤ数のトレードオフする（trade-off）方法を理解されよう。

【0030】いくつかの実施態様では、Nポンピングは一方向のみに動作する。CLKクロック速度で又は恐らくその周波数の数分の一で、コンフィギュレーションデータをパネルコントローラに送ることができる。

【0031】図6は、本発明のいくつかの実施態様の中に存在するさらなる改良を示す。改良されたバッファリングを提供するために、データラッチの2つのバンク（BANK0及びBANK1）が設けられ、当業者によく知られているように、イネーブル信号（ENABLE：一方のバンクでは反転される）に応答して、ピンボン形式（ping-pong fashion）で動作する。一方のバンクが入力されている間に、他方のすでに満たされたバンクが読み取られて、そのデータはパネル上に表示するために使用される。マルチプレクサ（MUX）は、イネーブル信号にも応答して、読み取り用にすでに満たされたバンクを選択してパネルに出力する。

【0032】【パラメータ】表2は、分解能パラメータをコード化する1つの実施態様を示す。

【表2】

!(9) 003-248451 (P2003-248451A)

表2-分解能

0000	160×160
0001	320×240 (QVGA)
0010	320×320
0011	640×480 (VGA)
0100	800×600 (SVGA)
0101	1024×768 (XGA)
0110	1280×1024
0111	1600×1200 (UXGA)
1000	1920×1080 (HDTV)
1001	3640×2048
1010 以上	未使用

【0033】表3は、データバス幅のパラメータをコード化する1つの実施態様を示す。

表3-データバス幅

000	2ビットデータバス
001	4ビットデータバス
010	8ビットデータバス
011	16ビットデータバス
100	32ビットデータバス
101	64ビットデータバス
110	未使用
111	未使用

【0034】表4は、ディスプレイ技術のパラメータをコード化する1つの実施態様を示す。

表4-ディスプレイ技術

000	CRT
001	LCD
010	OLED
011	プラズマ
100	未使用
101	未使用
110	未使用
111	未使用

【0035】表5は、グレースケール対応のパラメータをコード化する1つの実施態様を示す。

表5-グレースケール対応

00	未使用
01	8レベルのグレースケール (3ビット)
10	16レベルのグレースケール (4ビット)
11	256レベルのグレースケール (8ビット)

【0036】表6は、変調指数のパラメータをコード化する1つの実施態様を示す。

【表6】

表6-変調指数	
00	8ビット/ピン/クロック周期
01	16ビット/ピン/クロック周期
10	24ビット/ピン/クロック周期
11	32ビット/ピン/クロック周期

【0037】表7は、走査の種類のパラメータをコード化する1つの実施態様を示す。

表7-走査の種類	
0	プログレッシブ
1	インターレース

【0038】表8は、色空間のパラメータをコード化する1つの実施態様を示す。

表8-色空間	
00	RGB
01	単色
10	YUV
11	CMYK

【0039】表9は、最小クロック周波数のパラメータをコード化する1つの実施態様を示す（また、最大クロック周波数及び好ましいクロックのパラメータは同様に

行うことができる）。

【表9】

表9-最小クロック周波数	
00	8MHz
01	12MHz
10	24MHz
11	32MHz

【0040】表10は、走査速度のパラメータをコード化する1つの実施態様を示す。

【表10】

表10-走査速度	
00	30Hz
01	60Hz
10	75Hz
11	85Hz

【0041】表11は、劣化パラメータをコード化する1つの実施態様を示す（このパラメータは、全ての色に対して全体的なものとするか、又は各色に対して個別に

指定することができる）。

【表11】

表11-劣化	
00	劣化なし、パネルコントローラは通常の明度を送る
01	5%の劣化、パネルコントローラは色の輝度を5%上げる
10	15%の劣化、パネルコントローラは色の輝度を15%上げる
11	25%の劣化、パネルコントローラは色の輝度を25%上げる

【0042】表12は、カラー階調のパラメータをコード化する1つの実施態様を示す。

【表12】

表12-カラー階調	
000	1ビットの色(単色)
001	8ビットの色(赤色に2ビット、緑色に3ビット、青色に2ビット)
010	12ビットの色(各色に対して4ビット)
011	16ビットの色(赤色に5ビット、緑色に6ビット、青色に5ビット)
100	24ビットの色(各色に対して8ビット)
101	32ビットの色(各色に対して9ビット、8ビットのアルファチャネル)
110	48ビットの色(各色に対して16ビット)
111	64ビットの色(各色に対して16ビット、16ビットのアルファチャネル)

【0043】パネルコントローラは、表示パネルから受け取ったパラメータに応じてその動作を変更する。場合によっては、パネルコントローラは、その出力ワイヤで提示するものを変更することができる。別の場合では、パネルコントローラは単に内部動作を変更する、例えば、パネルが8つのデータ入力しかなく、パネルコントローラが32のデータ出力を有していることをパネルが示す場合には、パネルコントローラは、未使用のデータ出力装置をパワーダウン又は使用禁止にすることによってこのパラメータに応答し、電力消費を減らしてクロストークやノイズ等を最小にすることができます。

【0044】パネルコントローラにより実行することができる様々な他の選択肢やコンフィギュレーションパラメータ等がある。

【0045】いくつかの実施態様では、パネルコントローラは、1つの画素の3つのサブピクセルRGB値を送ってから次の画素の値を送るようなものではなく、全ての赤の画素データを画像全体用に送り、そして全ての緑の画素データを画像全体用に送り、そして全ての青の画素データを画像全体用に送る。多くの又は恐らく大部分の画像では、特に各サブシステムの色(R又はG又はB)内に比較的に均一な色を有する画素に隣接して大きなブロックがある。いくつかの実施態様では、通常の「RGB RGB RGB...」空間内で又は「全てのR、全てのG、全てのB」空間内で動作するかどうかは、コンフィギュレーションパラメータによる。

【0046】さらに、YUVやCMYKやグレースケールや単色等のRGB以外の色空間がある。本発明はこれらのいくつか又は全ての中で実行することができ、いくつかの実施態様では、それらの選択をコンフィギュレーションパラメータとすることができます。

【0047】多くの場合には、ビデオ画像がフレームか

らフレームに変化する割合はごく僅かである。多くの場合には、数分又は数時間等の画素データが変化しない極めて長い時間帯がある。これらの場合には、同じ画素データをパネルコントローラからパネルディスプレイに繰り返し何度も送ることはエネルギーの浪費である。このことは、電池駆動の使用態様では特に重要である。いくつかのそのような実施態様では、「デルタ(delta)」のみがフレームからフレームに送信される「スパースリフレッシュ(sparse refresh)」モードを設けることが望ましい。「その後の通知があるまで更新しない(no updates until further notice)」モードを設けることがさらに望ましい。このモードでは、パネルディスプレイは同じデータを繰り返し表示し続けるように命令される。このことは、表示パネルがフラットパネルディスプレイであり、このフラットパネルディスプレイの各画素がそれ自身のメモリセルを有し、このメモリセルがリフレッシュサイクルを実行するために外部データ値を要求しない種類である場合に特に有用である。スパースリフレッシュの細部を、コンフィギュレーションパラメータとすることができます。

【0048】電池が所定の充電レベルのような電力低下充電しきい値に達すると、表示パネルがその電力消費を削減することができる電力削減モードが、電池駆動の動作では特に望ましい。そのような電力削減モードの1つは、反射式パネルディスプレイのバックライトを消灯することである。他には、ディスプレイの輝度を押さえることである。さらに、白の上の黒の画像の表示(ワードプロセッシングの用途等)を、より電力消費が少ない黒の上の白の画像に反転することである。これらの技術は、パネルコントローラ用のコンフィギュレーションパラメータとしてではないがよく知られている。他には、この開示には新規と考えられるが、電力低下状態になる

場合には、1つ以上の表示色を消すことである。RGB表示では、大部分の重要な知覚内容は、一般に緑の画像データの中にある。電池低下状態になると、この開示の表示を用いるシステムは、（おそらく一緒に、おそらく連続して）赤及び青をディスプレイから除外するようにそのパネルコントローラを再コンフィギュレーションすることができる。このことは、ディスプレイが赤及び青の光子を発生する際に直接に消費する電力を減少するだけでなく、（これらの各々の回路の電源を落とすことができる）パネルコントローラが消費する電力と、リンクをパネルに駆動する電力損失とを削減することもできるであろう。

【0049】表示パネルの画素の残光が比較的に長いいくつかの用途では、この低電力のコンフィギュレーションにおいて、使用可能な色の部分集合の間を前後に切り換えることが適当である。例えば、緑データのみを送つてある時間表示し、そして、赤データ及び／又は青データを送つてある時間表示する。特に画素の残光が長い場

合には、各色を長い時間「オフ（off）」にすることにより、全体的な電力消費を削減し、一方、色と色との間を前後に切り換えることによって、適当な色の画像をさらに表示することができる。いくつかの実施態様では、例えば、色と色との間を秒当たり10回切り換えれば十分である。

【0050】いくつかの表示パネルには、「電荷ギャザリング（charge gathering）」効果がある。この効果では、時間の経過と共に、表示要素のセルが徐々に電荷を蓄積し、実際の色出力を指定された色データに対して変更することができる。この電荷を定期的に放出することができ、これは画素の「オートゼロ化（auto-zeroing）」としてよく知られている。

【0051】表13は、これを実行するために、COLOR# [2:0]信号をコード化する1つの実施態様を示す。

【表13】

表13-COLOR# [2:0]	
000	赤色の画素を描画する
001	緑色の画素を描画する
010	青色の画素を描画する
011	未使用
100	赤色の画素をオートゼロ化する
101	緑色の画素をオートゼロ化する
110	青色の画素をオートゼロ化する
111	未使用

【0052】図7は、パネルコントローラ68の1つの具体例としての実施態様を示す。このパネルコントローラ68は、（グラフィックスコントローラから（図示せず））グラフィックス入力を受け取り、（表示パネルに（図示せず））画素データを送る。グラフィックス入力データは画素エンジンによって処理され、インターフェイス論理回路を経由して出力バスに送られる。状態マシン又は他の適当な機構等のコンフィギュレーションサイクル装置は、インターフェイス論理回路に接続されて、表示パネルから受信したパラメータを検出及び処理する。レジスタ等のパラメータ記憶装置を使用して、受信したパラメータを記憶する。出力コンフィギュレータは、パラメータ記憶装置からパラメータのデータを取り出し、それらを使用して画素エンジンをコンフィギュレーションする。表示パネルが実際のパラメータ値（「分解能640×480」）ではなく間接パラメータ（例えば、「分解能3」）を送る場合には、出力コンフィギュレータは、例えば実際のパラメータ値を含むルックアップテーブル（lookup table：以下、LUTとよぶ）を含む。

【0053】図8は、グラフィックスエンジンとコンフ

ィギュレーション可能なパネルコントローラとが1つのアセンブリ96内にあり、一方、表示パネルが別の分離したアセンブリ98の中にある装置94を示す。いくつかの実施態様では、これらのアセンブリは、別個のモノリシックなビルディングブロックを含む。別の実施態様では、これらのアセンブリは、それぞれが複数のコンフィギュレーション要素からなる分離したサブアセンブリを含む。例えば、グラフィックスエンジン及びパネルコントローラは、印刷配線板に固定した別個のチップとすることができる、一方、表示パネルは別の回路基板に接続される。又は、グラフィックスエンジン及びコンフィギュレーション可能なパネルコントローラをモノリシックチップ上に一緒に製造して、その1つのチップと表示パネルとを同じ印刷配線板に固定することができる。すなわち、グラフィックスエンジンとコンフィギュレーション可能なパネルコントローラとの間の物理的接続を、コンフィギュレーション可能なパネルコントローラと表示パネルとの間のリンクの物理的な長さよりも簡単に短くすることができる。

【0054】方法を示す図面及びその記載された説明は、その中に記録され、コード化され、又は具体化され

た命令や機能やルーチンやコントロールコードやファームウェアやソフトウェア等を有する、装置がアクセス可能な媒体も説明するものと理解すべきことを、読者は認識すべきである。その媒体により、装置が、アクセス、読み取り、実行、ロード、又は利用すると、その装置は説明した方法を実行する。そのような媒体は、これは単に説明する目的であって限定するものではないが、磁気、光学、磁気光学、又は他の記憶装置や、固定されたディスク又はリムーバブルディスク、ドライブ、テープ、半導体メモリ、有機メモリ、CD-ROM、CD-R、CD-RW、DVD-ROM、DVD-R、DVD-RW、ZIP、フロッピー（登録商標）、カセット、オーブンリール等を含みうる。あるいは、これらは、ダウンザーワイヤ（down-the-wire）、放送あるいはインターネット、ローカルエリアネットワーク、広域ネットワーク、無線、携帯電話、ケーブル、レーザ、衛星、マイクロ波、又は他の適当な搬送手段等の他の配信装置を含みうる。これらの配信装置によって、命令等をパケット、シリアルデータ、パラレルデータ、又は他の適当なフォーマットの形式で配信することができる。装置は、これは単に説明する目的であって限定するものではないが、そのような命令等によって定義された機能を実行するように適合されたマイクロプロセッサや、埋込みコントローラや、PLAや、PALや、FPGAや、ASICや、コンピュータや、スマートカードや、ネットワーク機器や、又は任意の他の装置、機器、システム等を含みうる。そのような図面、記述された説明、及び対応する特許請求の範囲は、単独で実行される命令等、それらの特定のパケット／シリアル／パラレル／等の形式の中で編成される命令等、及び／又は、それらの記憶装置又は搬送媒体と共に実行される命令等を示すように様々に理解される。もし、装置が命令等を実行又は利用する前に復号化、圧縮解除、コンパイル、解釈、又は処理する必要があるても、本発明の範囲から逸脱することなく、そのような命令等が圧縮、暗号化、又はコード化された形式で記録又は配達されることを、読者はさらに理解されよう。

【0055】「実施態様」、「1つの実施態様」、「いくつかの実施態様」、又は「他の実施態様」の明細書を参照することは、実施態様に関連して説明された特定の特徴、コンフィギュレーション、又は特性が、本発明の必ずしも全ての実施態様の中ではないが、少なくともいくつかの実施態様において含まれることを意味する。「実施態様」、「1つの実施態様」、又は「いくつかの実施態様」が多様に現れることは、必ずしも全てが同じ実施態様を参照するものではない。

【0056】明細書がコンフィギュレーション要素、特徴、コンフィギュレーション、又は特性を含むことが「できる」、含む「かも知れない」、又は含む「こともある」と述べる場合には、その特定のコンフィギュレー

ション要素、特徴、コンフィギュレーション、又は特性を含むことは要求されない。明細書又は特許請求の範囲が「1つ」の素子を言及する場合には、それは1つの素子しかないことを意味しない。明細書又は特許請求の範囲が「付加的な」素子について言及する場合には、それは2つ以上の付加的な素子が存在することを妨げない。

【0057】この開示の利益を受ける当業者には、前述した説明及び図面からの多くの他の変形例を本発明の範囲内で作ることができることが理解されよう。実際、本発明は、前述した細部に限定されるものではない。逆に、本発明の範囲を規定する全ての修正例を含む特許請求の範囲によって、本発明は規定される。

#### 【0058】

##### 【図面の簡単な説明】

【図1】特注のパネルコントローラを有する従来技術のシステムを示す概略図である。

【図2】再コンフィギュレーション可能なパネルコントローラを用いる、本発明によるシステムを示す概略図である。

【図3】パネルコントローラを表示パネルに接続する例示的な信号の集合を示す概略図である。

【図4】パワーオンコンフィギュレーションサイクルにおける信号用の例示的なタイミングを示すタイミングチャートである。このチャートでは、パネルコントローラを表示パネルと共に動作するようにコンフィギュレーションするパラメータを提供する。

【図5】パネルコントローラから表示パネルへのデータ転送における信号用の例示的なタイミングを示すタイミングチャートである。

【図6】インターフェイスからディスプレイシーケンサへ送信するためのデータを結合する、ピンボンバッファシステムの1つの実施態様を示す概略図である。

【図7】本発明による再コンフィギュレーション可能なパネルコントローラの1つの実施態様を示す概略図である。

【図8】1つのアセンブリ内にグラフィックスエンジン及びパネルコントローラを、他のアセンブリの中に表示パネルを有するシステムを示す概略図である。

##### 【符号の説明】

6.2 コンピュータ

6.4 表示パネル

6.6 ビデオカード

6.8 パネルコントローラ

7.0 インターフェイス論理回路

7.4 インターフェイス論理回路

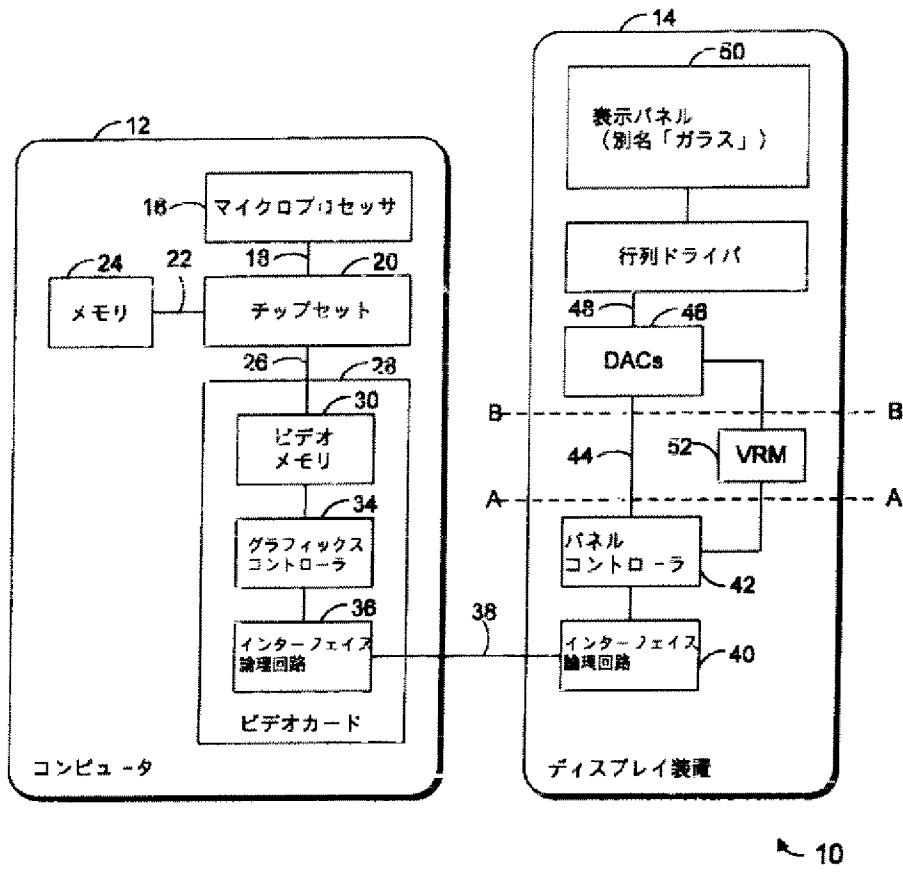
7.6 パワーオンコンフィギュレーション論理回路

7.8 列ドライバ

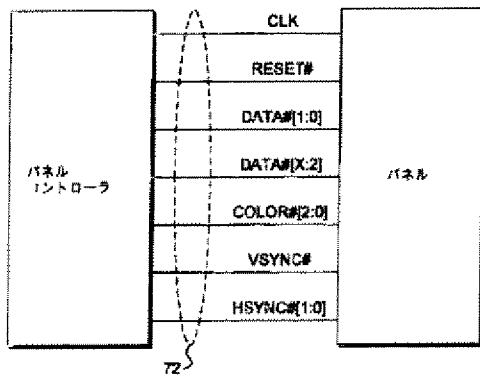
8.0 行ドライバ

8.2 ディスプレイシーケンサ

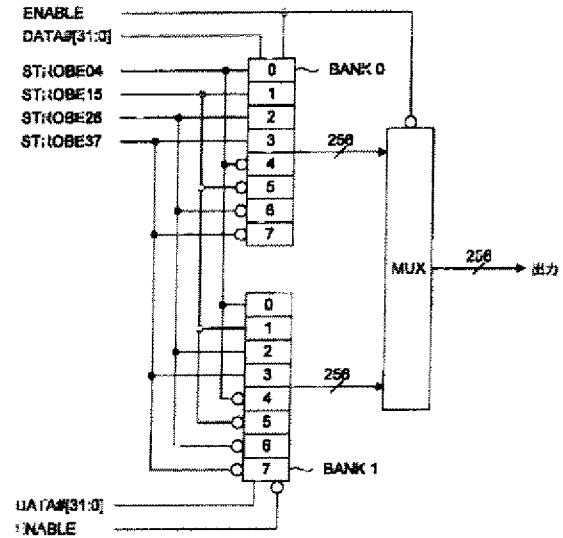
【図1】



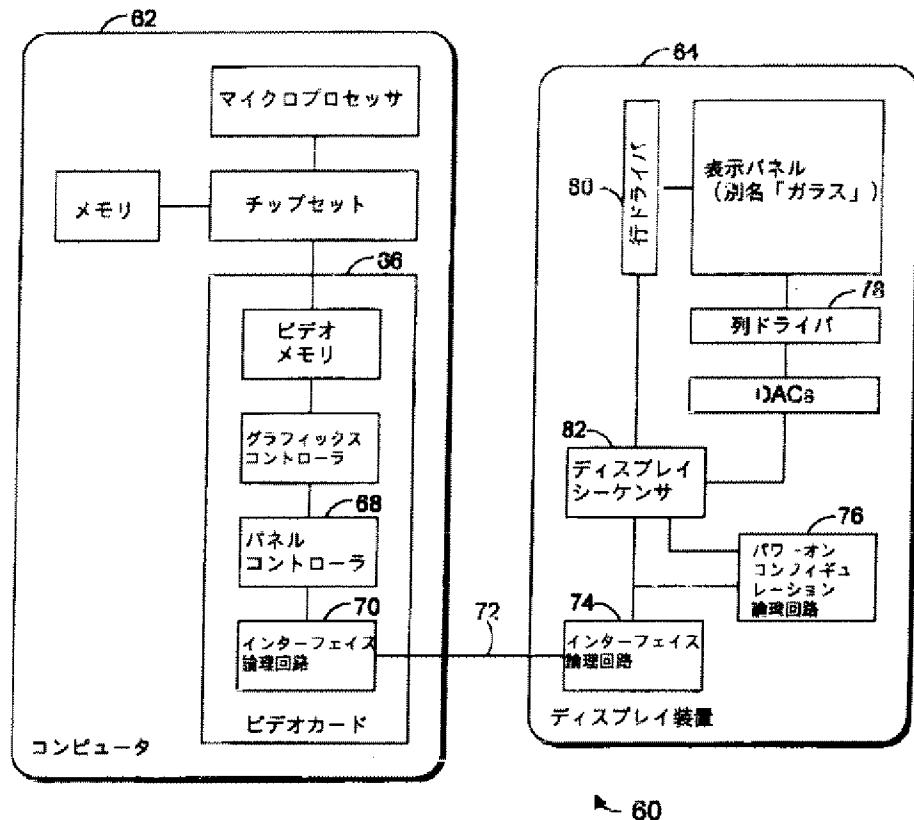
【図3】



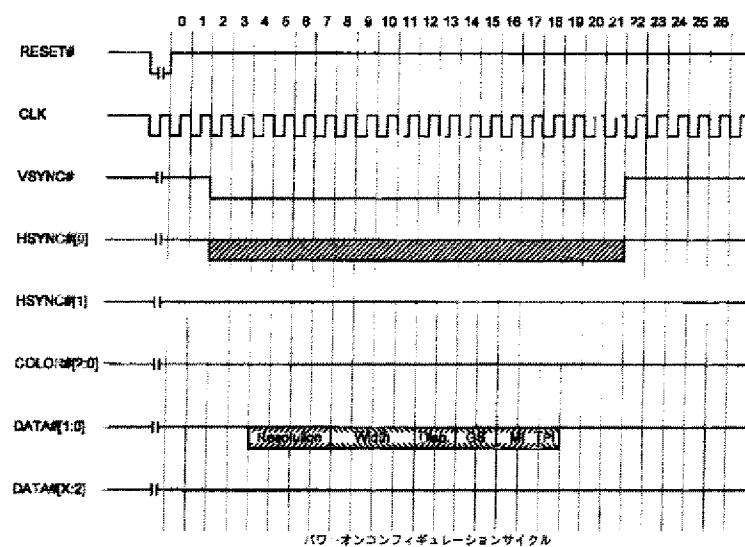
【図6】



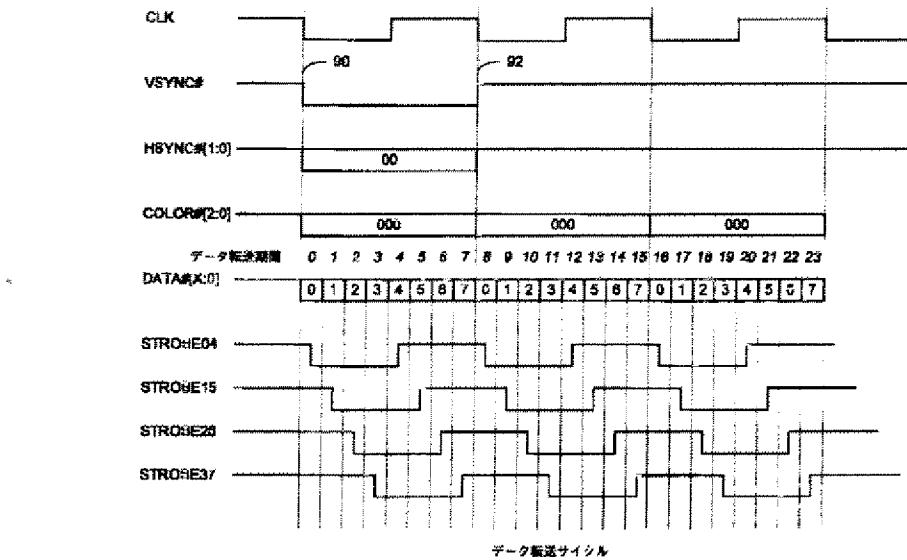
【図2】



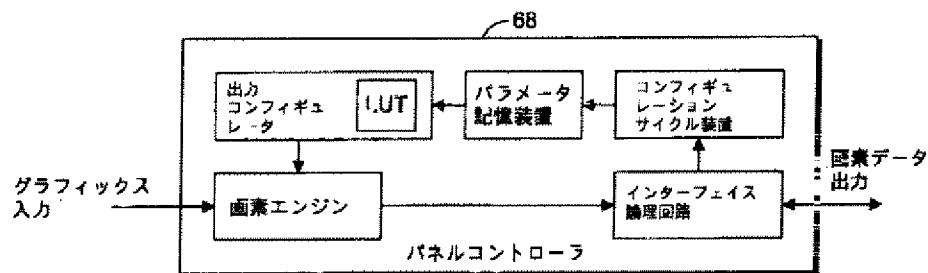
【図4】



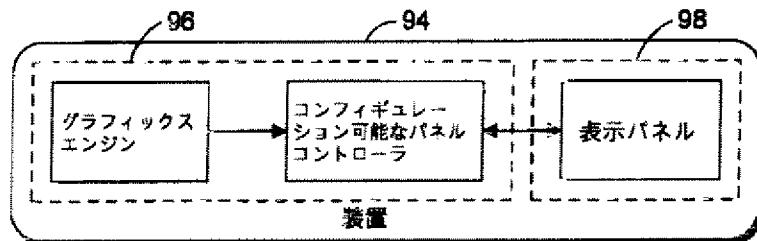
【図5】



【図7】



【図8】



フロントページの続き

(51) Int.Cl.7

G 09 G 3/20

識別記号

650

670

F I

G 09 G 3/20

(参考)

650 C

670 J

(17) 103-248451 (P2003-248451A)

H04N 5/66

H04N 5/66

A

(72) 発明者 ヴィタル・キニ  
アメリカ合衆国オレゴン州97007, アロハ,  
サウス・ウェスト・ワンハンドレッドアン  
ドナインティファースト・アヴェニュー  
7925

Fターム(参考) 5C058 AA05 BA18 BA35 BB25  
5C080 BB05 CC03 DD01 DD27 DD28  
EE29 GG09 GG12 JJ02 JJ04